

ỨNG DỤNG BỘ XỬ LÝ TÍN HIỆU SỐ TMS320C5416 NHẪM GIẢM ISI TRONG ĐIỀU CHẾ DMT

Nguyễn Quốc Tuấn, Nguyễn Viết Kính

Khoa Điện tử Viễn thông, Đại học Công nghệ, ĐHQG Hà Nội

tuannq@vnu.edu.vn, kinhnv@vnu.edu.vn

1. Giới thiệu

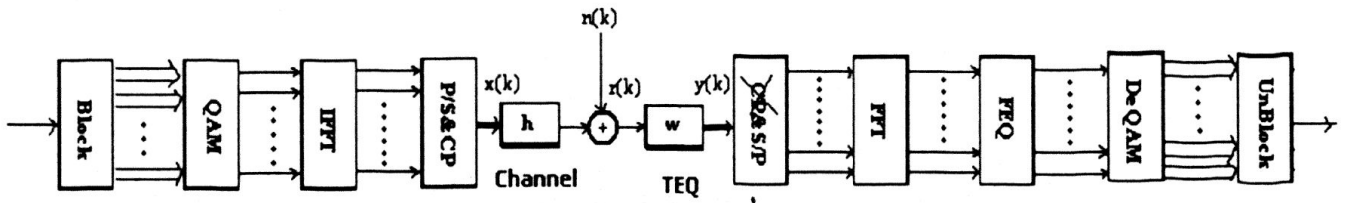
Kỹ thuật điều chế đa sóng mang (MCM) còn được gọi là hợp kênh phân chia tần số trực giao (OFDM) hay có cách nói khác là đa tần rời rạc (DMT) đã ngày càng nhận được sự chú ý trong những năm gần đây do chúng đã được chuẩn hoá và khai thác sử dụng. Các ứng dụng của MCM hiện nay bao gồm: chuẩn hoá LAN không dây IEEE802.11a, HIPERLAN2, phát thanh số (DAB), truyền hình số (DVB) và vòng thuê bao số bất đối xứng ADSL, VDSL... Để tránh sự mất tính trực giao giữa các sóng mang con mà điều này lại gây ra nhiễu giữa các sóng mang (ICI) và nhiễu giữa các biểu tượng (ISI), người ta chèn các tiên tố (CP) bằng cách sao chép ν mẫu cuối cùng của mỗi một biểu tượng và đặt vào vị trí bắt đầu của mỗi một biểu tượng đó. Tuy nhiên khi chèn thêm CP vào mỗi biểu tượng cần được truyền thì sẽ làm giảm dung lượng truyền tin một lượng $N/N+\nu$ trong đó N là kích thước của phép biến đổi Fourier.

Do vậy khi chọn CP đủ ngắn để dung lượng truyền tin cao thì một kỹ thuật khá quen thuộc để hạn chế ISI/ICI mà nó gây bởi độ dài CP không đủ là sử dụng bộ cân bằng miền thời gian (TEQ) tại máy thu. TEQ có thể coi là bộ lọc tối ưu có đáp ứng đơn xung hữu hạn (FIR), nó làm ngắn lại đáp ứng đơn xung kênh hiệu dụng sao cho độ trễ qua toàn bộ kênh-bộ cân bằng không dài hơn độ dài CP. TEQ xác định được các đặc tính của kênh truyền thông qua các hàm tương quan – các hàm tương quan thường là biến đổi theo thời gian do đó TEQ phải sử dụng một giải thuật nào đó để biến đổi đáp ứng tần số thông qua các hệ số độ lợi của bộ lọc FIR. Cách thiết kế TEQ đã được nhiều tác giả nghiên cứu [1]- [8]. Trong đó [5] đưa ra phương pháp MSSNR nhằm giảm thiểu năng lượng ngoài cửa sổ cần thiết trong khi đó phải giữ cố định năng lượng bên trong cửa sổ.

Báo cáo này nhằm tìm kiếm giải thuật chương trình viết trên ngôn ngữ C và Assembler cho bộ xử lý số tín hiệu (DSP) dựa trên kit TMS320C5416 của Texas Instrument để thiết lập bộ cân bằng thích nghi miền thời gian phù hợp với độ dài của CP và đáp ứng đơn xung kênh, giảm thiểu ISI/ICI. Phần 2 của báo cáo trình bày mô hình hệ thống và dựa trên các đặc điểm của thiết bị xử lý số tín hiệu được trình bày ở phần 3 mà phần 4 sẽ tìm kiếm, xây dựng giải thuật thiết lập bộ cân bằng thích nghi miền thời gian. Phần 5 sẽ trình các kết quả đạt được và các đánh giá cần thiết.

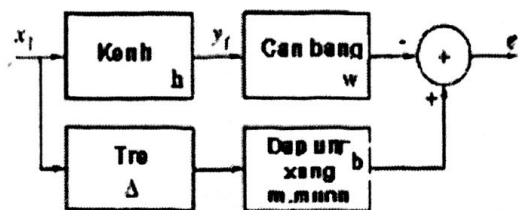
2. Mô hình hệ thống

Mô hình hệ thống truyền dẫn tín hiệu điều chế DMT được mô tả trong hình 1. Trong mô hình này chúng ta sử dụng mô hình kênh của một đôi dây cáp đồng PE độ dài 2km, kích thước 0.4mm lấy mẫu tại tần số 2MHz được tính toán theo “Viện các Tiêu chuẩn Viễn thông Châu Âu, Truyền dẫn và Hợp kênh (TM); Đường thuê bao kỹ thuật số bất đối xứng (ADSL); Các yêu cầu và khả năng thực hiện, ETSI ETR 328 ấn bản số 1 (1996)” [9]



Hình 1. Sơ đồ khối của hệ thống với điều chế DMT

Mỗi một khối B bit tốc độ R được phân chia thành N nhóm tốc độ nhóm K , mỗi nhóm b_N bit sao cho $R = N \cdot K$, $B = \sum_N b_N$. Mỗi một nhóm bit b_N được ánh xạ thành một tín hiệu QAM mà nó sẽ được điều chế bởi mỗi một sóng mang khác nhau. Bộ điều chế đa sóng mang gián đoạn theo thời gian sử dụng nhờ biến đổi ngược Fourier nhanh (IFFT) sẽ tác động mỗi một thành phần tần số thành một tín hiệu miền thời gian để truyền dẫn. Sau khi truyền tín hiệu qua đường truyền, thiết bị thu có thể sử dụng bộ giải điều chế nhờ biến đổi Fourier nhanh (FFT) sau đó khôi phục dữ liệu trong một khoảng tốc độ lỗi bit được xác định. Muốn để các kênh con độc lập với nhau thì phép nhân chập của tín hiệu và kênh phải là phép nhân chập tuyến tính vòng.



Hình 2. Sơ đồ nguyên lý của TEQ

Ta xét lại một sơ đồ thiết kế TEQ (hình 2) với TEQ có độ dài w và đáp đơn xung mong muốn (TIR) có độ dài b phải thỏa mãn điều kiện:

$$R_{rx} \mathbf{b} = R_r \mathbf{w}_y \quad (1)$$

Trong đó R_{rx} là ma trận tương quan chéo vào-ra kênh, còn R_r là ma trận tự tương quan lỗi ra kênh. Nói chung trước hết theo [10] thì \mathbf{b} sẽ được tính toán trước tiên và sử dụng (1) thì ta xác định được \mathbf{w} . Đích của vấn đề là ta phải thu được $\mathbf{h}^* \mathbf{w}$ có một độ trễ tương ứng xấp xỉ của \mathbf{b} . Nếu \mathbf{b} có các phần tử bằng zero trong đáp ứng của nó thì khi đó \mathbf{w} và có thể là \mathbf{h} cũng sẽ có các phần tử zero như thế. Theo [1], [4] và [7] thì đáp ứng đơn xung mong muốn (TIR) là ma trận đối xứng $(v+1) \times (v+1)$

MSSNR là phương pháp giảm thiểu năng lượng của đáp ứng đơn xung kênh hiệu dụng bên ngoài của số với độ dài ν mong muốn trong khi giữ năng lượng bên trong của số không đổi... Đáp ứng đơn xung được cân bằng có thể được viết dưới dạng ma trận là: $\mathbf{h}_{eff} = \mathbf{H}\mathbf{w}$ trong đó \mathbf{H} là ma trận nhân chập của đáp ứng đơn xung kênh. Cấu trúc của vector \mathbf{h}_{win} từ các mẫu của \mathbf{h}_{eff} bên trong của số kích thước ν còn \mathbf{h}_{wall} từ các mẫu bên ngoài của số và MSSNR đòi hỏi \mathbf{h}_{wall} rất bé còn $|\mathbf{h}_{win}|^2 = 1$. Vậy:

$$\mathbf{h}_{wall}^T \mathbf{h}_{wall} = \mathbf{w}^T \mathbf{H}_{wall}^T \mathbf{H}_{wall} \mathbf{w} = \mathbf{w}^T \mathbf{A} \mathbf{w} \tag{2}$$

$$\mathbf{h}_{win}^T \mathbf{h}_{win} = \mathbf{w}^T \mathbf{H}_{win}^T \mathbf{H}_{win} \mathbf{w} = \mathbf{w}^T \mathbf{B} \mathbf{w} \tag{3}$$

$$\rightarrow \mathbf{w}_{opt} = (\sqrt{\mathbf{B}^{-1}})^{-1} \mathbf{q}_{min} \tag{4}$$

ở đây \mathbf{q}_{min} là vector riêng phù hợp với các giá trị riêng nhỏ nhất λ_{min} của ma trận

$$\mathbf{C} = (\mathbf{Q} \sqrt{\Lambda})^{-1} \Lambda (\sqrt{\Lambda} \mathbf{Q}^T)^{-1} = \mathbf{A}^{-1} \mathbf{B} \tag{5}$$

Các cột của \mathbf{Q} bao gồm các vector riêng trực giao của \mathbf{B} còn Λ là một ma trận đường chéo với các giá trị riêng. Như vậy

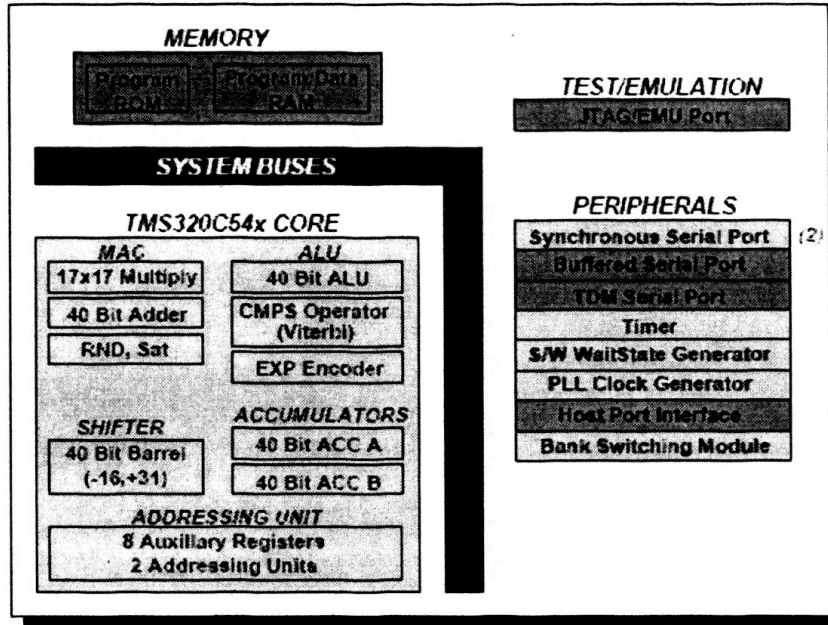
$$SSNR_{opt} = 10 \log_{10}(1/\lambda_{min}) \tag{6}$$

3. Thiết bị xử lý số tín hiệu (DSP)

Ưu điểm các bộ xử lý số tín hiệu là rất lớn 1) DSP cho phép lập trình cho các hệ thống số, dễ dàng nâng cấp hay cấu hình lại hệ thống. 2) Rất ổn định về nhiệt độ và chống lại sự già hoá của các linh kiện. 3) Độ lặp lại cao và 4) có độ chính xác tốt theo yêu cầu... Ngoài ra chúng còn có các ưu điểm khác như: 5) Lưu trữ và truyền dẫn dữ liệu, 6) cho phép xử lý các giải thuật phức tạp, 7) phát hiện và hiệu chỉnh lỗi, 8) giá thành thấp hơn so với các thiết bị cùng loại analog... Rất nhiều ứng dụng của DSP nhằm thiết kế bộ lọc (IIR, FIR, Kalman...), bộ nhân chập, xử lý tương quan, biến đổi (DFT, FFT, DCT...), mã hoá (Huffman, Trellis...). Các xử lý số tín hiệu thường được dùng khi có đòi hỏi các tính toán thời gian thực (Real-Time) do chúng có các kiến trúc tối ưu. Hình 3 cho ta sơ đồ kiến trúc của TMS320C5416 [11]

Kiến trúc của TMS320C5416 sử dụng kiến trúc Harvard nhưng được thay đổi chút ít với 1 bus chương trình (PB) và 3 bus dữ liệu (CB, DB và EB). Đơn vị số học và Logic (ALU) 40 bit với 1 thanh ghi dịch cùng 2 bộ tích lũy 40 bit cho phép trường số học được xử lý 32 bit đa nhiệm, bộ nhân tích lũy 17-bit x17-bit vận hành chỉ 1 nhịp cho phép xử lý các phép toán hết sức ổn định. Với 6 chế độ địa chỉ của TMS320C5416 cho phép linh hoạt nạp, cất và trao đổi dữ liệu từ CPU với bộ nhớ trong (RAM-56K, ROM-16K) hay bộ nhớ mở rộng tốc độ cao, ổn định. Địa chỉ bộ nhớ chương trình cho phép người lập trình nạp các từ 64K khi sử dụng các bus địa chỉ chương trình (PAB) Các ngắt (cứng và mềm) sẽ giúp xử lý, đình chỉ các thao tác để vận hành các dịch vụ ngắt theo 2 chế độ maskable và non-maskable tại nhiều vị trí, nhiều mức ưu tiên khác nhau.

Tốc độ xử lý cho 1 vận hành trên 1 nhịp và cho các lệnh dấu phẩy cố định từ 25ns cho tới 10ns tức là khoảng 40 MIPS.



Hình 3. Sơ đồ kiến trúc TMS320C5416

TMS320C5416 chứa một lệnh với 6 mức đường ống. Mỗi một trạng thái được độc lập với nhau mà do vậy nó cho phép các lệnh vận hành chồng lấp lên nhau. Từ đó tại bất kì một nhịp máy cho trước thì từ một trong sáu lệnh khác nhau có thể được tác động, mỗi một giai đoạn khác nhau được hoàn thiện... Các giai đoạn của mỗi một lệnh đường ống bao gồm: Prefetch-Fetch-Decode-Access-Read-Exe/Write. Giai đoạn Prefetch tính toán địa chỉ của địa chỉ của lệnh đặt vào PAB. Giai đoạn Fetch lấy lệnh khi sử dụng PB. Lệnh này tiếp theo được giải mã hoặc biên dịch (giai đoạn Decode) và rồi giai đoạn Access xác định địa chỉ của các thao tác của lệnh, đặt vào DAB và/hoặc CAB. Khi thao tác đã được tập hợp và đặt vào DB và/hoặc CB (có thể là EAB là lệnh viết) thì cuối cùng lệnh được hoàn thiện.

Đường ống cho phép nhiều lệnh được nạp vào CPU đồng thời và tất nhiên để sử dụng lệnh đường ống là một điều rất khó khăn khi tổ chức lập trình dù rằng chúng cho ta các xử lý số phức tạp thời gian thực. Chúng đã được giải quyết trong chương trình nhờ sự phối hợp các lệnh gọi CC(D) và rẽ nhánh có điều kiện B(D) khi kiểm tra CC. Do vậy mỗi lệnh máy được coi vận hành trong một chu kì nhịp CPU và chương trình được vận hành ổn định về tốc độ xử lý, đáp ứng yêu cầu thời gian thực của xử lý số tín hiệu.

4. Xử lý dữ liệu

Chương trình chính được viết trên ngôn ngữ lập trình C và các hàm được viết bằng hợp ngữ của "Code Composer Studio – CCS" dành cho TMS320C5416 DSK. Với $N=512$ và kích thước của TEQ được nhận giá trị trong khoảng từ 5 cho đến 32 theo G.DMT, mô hình kênh (csalooop1 [9]), sự thay đổi của tín hiệu và ổn định giả định là đã được biết (theo giai đoạn thử của ADSL, VDSL...).

Các hệ số của vector bộ lọc w được tính trước bằng chương trình Matlab theo mô hình kênh được giả định với kích thước bằng 16 tap, SNR bằng 45dB. Tuy Matlab cho ta kết quả với độ chính xác khá cao nhưng các giá trị lại được biểu diễn dưới dạng dấu phẩy động mà thiết bị DSP TMS320C5416 sử dụng các giá trị nguyên hay dấu phẩy cố định. Điều này làm cho giải thuật thêm một số khó khăn. Hơn nữa thông thường, các giải thuật thực hiện trên DSP TMS320C5416 đều sử dụng các số 16 bit, như vậy các số lưu trữ theo cách này không cho phép đủ độ phân giải khi tính do vậy chúng ta phải mở rộng trường cho các ma trận đến 32 bit

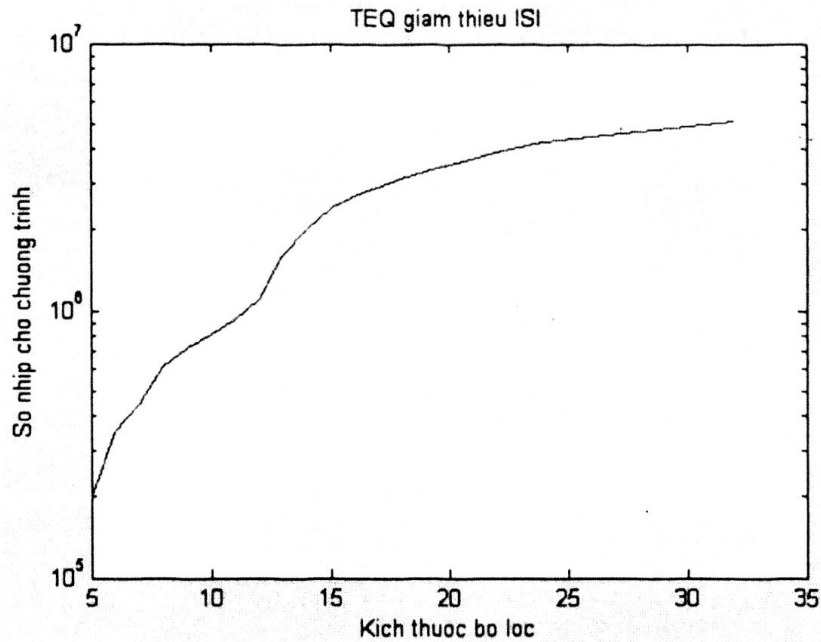
Thực ra, khó mà tính được ma trận C trong (5) trực tiếp, nhưng nếu chúng ta định nghĩa ma trận G xác định bởi $A = G G^T$ (7) mà ma trận đó giải được nhờ giải thuật phân li của Golub và Van Loan [12] thì chúng ta xác định được C và λ .

Giải thuật của chương trình bao gồm các bước sau :

- Khởi động h_{win} , H_{wall} , H_{win}
- Lựa chọn cửa sổ với công suất tín hiệu là lớn nhất
- Chuyển đổi dữ liệu từ khuôn dạng dấu phẩy động sang dấu phẩy cố định
- Tính IFFT theo độ lợi kênh
- Chuyển đổi dữ liệu từ khuôn dạng dấu phẩy cố định sang dấu phẩy động
- Tính ma trận B theo ma trận A
- Tìm λ_{min}
- Tính đáp ứng đơn xung kênh hiệu dụng

Theo giải thuật trên đây, việc giải các ma trận A và B rất phức tạp. Dựa theo một thuật toán do Jeff Wu thiết kế mà nhiều tác giả đã sử dụng [13] để giảm bớt mức độ phức tạp tính toán của việc xây dựng các ma trận A và B . Jeff đã thu được thuật toán này từ việc giả thiết về dáng điệu của kênh ADSL. Thuật toán của Jeff tiện lợi vì nó đòi hỏi ít phép nhân và phép cộng hơn, khiến nó đỡ nhạy cảm hơn đối với các sai số lượng tử hoá.

Cuối cùng là việc tìm vectơ riêng tương ứng với giá trị riêng của ma trận C . Một thuật toán rất có ích gọi là phương pháp công suất - Phương pháp này sử dụng cách lặp để tìm vectơ riêng đó. Nó hội tụ nhanh với nghiệm khá chính xác và giải quyết sai số do sử dụng khuôn dạng số dấu phẩy cố định. Điều này cho phép có thể tính toán được vectơ hệ số bộ lọc và so sánh nó với các kết quả lý thuyết.



Hình 4. Số nhịp Clock cần thiết theo số tap của TEQ để thực hiện cân bằng

Độ phức tạp của tính toán của giải thuật thay đổi phụ thuộc vào nu phép nhân khi thực hiện trung bình tối thiểu (LMS) với nu là độ dài giới hạn của bộ cân bằng w . Ngoài ra chúng ta cần $nu \cdot Nw$ phép nhân cho mỗi khung cho việc lọc khi chưa thích nghi để giám sát lỗi ra của bộ cân bằng trong đó Nw là kích thước của TEQ, do vậy mỗi kênh chúng ta cần $2 \cdot nu \cdot (N + Nw) + nu \cdot Nw$ phép nhân... Hình 4 cho ta hình ảnh đưa ra sự phụ thuộc của độ phức tạp khi tính toán vào kích thước của số của TEQ. Để đánh giá thời gian vận hành của bộ cân bằng, chúng tôi đã sơ bộ lập bảng mã của mình cho các độ dài lõi ra khác nhau của bộ cân bằng trong miền tần số để so sánh.

Một TEQ kích thước bằng 16-tap hoàn toàn có thể vận hành thời gian thực với khoảng 1520000 nhịp clock. Với DSP TMS3205416 tốc độ 300MHz thì thời gian xử lý chiếm khoảng 2,5ms. Tuy nhiên khi kích thước TEQ lớn thì số nhịp clock lớn hơn nhiều. Giá trị trung bình được sử dụng bằng khoảng 100 lần luân phiên lặp lại phép tính.

Kết luận

Trong bài báo này, chúng tôi muốn thiết kế một bộ cân bằng miền thời gian (TEQ) dùng kit xử lý tín hiệu số TMS320C5416 của Texas Instrument cho ADSL dựa trên giải thuật Arslan, Evans. Giải thuật của chương trình cho kit xử lý tín hiệu số TMS320C5416 hoàn toàn dựa trên lý thuyết và trên cơ sở ứng dụng phần mềm Matlab trên PC và các nghiên cứu trước đây trong khuôn khổ của dự án. Chương trình đã vận hành tốt so được với các yêu cầu về thời gian xử lý của các modem ADSL hiện có trên thị trường - khoảng 2.5ms giây. Chúng tôi hy vọng rằng, khi tổ chức lại hệ thống cho kit xử lý số tín hiệu TMS320C5416 và nâng cao độ hoàn thiện của giải thuật thì chúng tôi sẽ đạt được kết quả tốt hơn.

TEQ giảm thiểu ISI dựa trên phương pháp MSSNR là một trong các phương pháp thiết kế TEQ. Tùy theo yêu cầu của hệ thống mà thiết kế TEQ có thể sử dụng phương pháp tốc độ bit tối đa (MBR), lỗi bình phương trung bình tối thiểu (MMSE-UTC, MMSE-UEC). Sau khi hoàn thiện phương pháp xử lý đã thực hiện trên đây, chúng tôi sẽ mở rộng các ứng dụng TEQ MBR, MMSE này trên bộ xử lý tín hiệu số TMS320C5416 với hy vọng sẽ đóng góp một phần vào thiết kế ADSL, VDSL thương mại sau này, mặt khác sẽ nâng cao kinh nghiệm nghiên cứu cũng như giảng dạy tại Đại học Công nghệ, Đại học Quốc gia Hà Nội.

TÀI LIỆU THAM KHẢO

1. A. N. Akansu, P. Duhamel, X. Lin, and M. de Courville, "Orthogonal transmultiplexers in communication-A review," *IEEE Trans. Signal Processing*, Vol. 46, No.4(1998). p.979-995,
2. N. Al-Dhahir and J.M. Cio., "Efficiently computed reducedparameter input-aided MMSE equalizers for ML detection: A unified approach," *IEEE Transactions on Information Theory*, Vol.42, No.3(1996), p.903-915,
3. D. D. Falconer and F. R. Magee, "Adaptive channel memory truncation for maximum likelihood sequence estimation," *Bell System Technical Journal*, Vol.52, No.9(1973), p.1541-1562,
4. N.Al-Dhahir and J.M.Cio., "Optimum finite-length equalization for multicarrier transceivers," *IEEE Trans. Communications*, Vol. 44, No.1(1996), p.56-64,
5. P. J. W. Melsa, R. C. Younce, and C. E. Rohrs, "Impulse response shortening for discrete multitone transceivers," *IEEE Trans. Communications*, Vol. 44, No.12(1996), p.1662-1672.
6. D. Daly, C. Heneghan, and A. D. Fagan, "A minimum meansquared error interpretation of residual ISI channel shortening Brazil, September 2002. for discrete multitone transceivers," in *Proc. IEEE Int. Conf. Acoustics, Speech, Signal Processing (ICASSP '01)*, Vol. 4, Salt Lake City, Utah, USA, May 2001, p. 2065-2068.
7. B. Farhang-Boroujeny and M. Ding, "Design methods for time-domain equalizer in DMT transceivers," *IEEE Trans. Communications*, Vol.49, No.3(2001), p.554-562,
8. J. Wu, G. Arslan, and B. L. Evans, "Efficient matrix multiplication methods to implement a near-optimum channel shortening method for discrete multitone transceivers," in *Proc. 34th IEEE Asilomar Conference on Signals, Systems, and Computers (Asilomar '00)*, Vol. 1, Pacific Grove, Calif, USA, October-November 2000, p.152-157.
9. Australian Telecommunication Standards Institute, Transmission and Multiplexing (TM); Asymmetric Digital Subscriber Line (ADSL); Requirements and performance, TESI ETR 328 ed.1 (1996).
10. Nguyễn Quốc Tuấn, Nguyễn Đình Thông, "Nghiên cứu bộ cân bằng làm ngắn đặc trưng kênh đơn xung hiệu dụng trong điều chế đa sóng mang, *Tạp chí Khoa học*, Chuyên san Khoa học Tự nhiên và công nghệ, Đại học Quốc gia Hà Nội, XXI, Số 1(2005).
11. TMS320C5000 DSP/BIOS *Application Programming Interface (API) Reference Guide* – Texas Instrument, Nov 2001.

12. G.H. Golub and C.F. Van Loan, "*Matrix Computations. Baltimore*" The Johns Hopkins University Press, 1996.
13. Mohammed Nafie and Alan Gatherer "*Time-Domain Equalizer training for ADSL*" Texas Instrument, Dallas USA, 2000.

VNU. JOURNAL OF SCIENCE, Nat., Sci., & Tech., T.XXII, N_o2, 2006

RESOLVE ISI WITH EQUALIZATION BY DSP TMS320 C5416

Nguyen Quoc Tuan, Nguyen Viet Kinh

Faculty of Electronics and Telecommunication

Coltech College, Vietnam National University

tuannq@vnu.edu.vn, kinhnv@vnu.edu.vn

Time-domain equalizer plays a decisive role in shortening the effective channel impulse response and reducing Intersymbol Interference (ISI) and Intercarrier Interference (ICI) in Discrete Multitone (DMT) modulation which is sometimes called Multicarrier Modulation. A Time Domain Equalizer (TEQ) following the channel generates a shorter effective channel impulse response than channel impulse response. TEQ is designed such that it lessens the complexity of matrix calculation by Minimum Mean Squared Error (MMSE) and Maximum Shortening SNR (MSSNR) methods using DSP TMS320C5416 Texas Instrument in real time-about 0.59 sec, allowed for equalizer test for standard ADSL modems and fixed-point computation.

Index terms: Digital Signal Processing, Multicarrier modulation, Shortened effective channel impulse response, Time domain equalizer, Computation efficiency.